

Diseño de un circuito de mitigación para mejorar la conmutación de MOSFETs en una configuración de medio puente H

Design of a mitigation circuit to improve MOSFET switching in a half-bridge configuration

Giancarlo Alvarado-Rivera¹, Ana Rebeca Fonseca-Huapaya², Yeiner Arias-Esquivel³

Fecha de recepción: 24 de marzo, 2025
Fecha de aprobación: 13 de julio, 2025

Alvarado-Rivera, G; Fonseca-Huapaya, A.R; Arias-Esquivel, Y. Diseño de un circuito de mitigación para mejorar la conmutación de MOSFETs en una configuración de medio puente H. *Tecnología en Marcha*. Vol. 39 N° 1. Enero-Marzo, 2026. Pág. 149-159.

 <https://doi.org/10.18845/tm.v39i1.7858>



- 1 Escuela de Ingeniería Mecatrónica, Instituto Tecnológico de Costa Rica, Costa Rica.
 giank1221@estudiantec.cr
 <https://orcid.org/0009-0006-9058-2359>
- 2 Escuela de Ingeniería Mecatrónica, Instituto Tecnológico de Costa Rica, Costa Rica.
 rebecafon@estudiantec.cr
 <https://orcid.org/0009-0007-9180-6673>
- 3 Escuela de Ingeniería Mecatrónica, Instituto Tecnológico de Costa Rica, Costa Rica.
 yarias@itcr.ac.cr
 <https://orcid.org/0000-0002-5340-3933>

Palabras clave

Capacitancia de Miller; conmutación; MOSFET; oscilación; medio puente H.

Resumen

Este trabajo aborda el diseño de un circuito para minimizar los efectos adversos en la conmutación de MOSFETs en un medio puente H. Los MOSFETs enfrentan problemas de eficiencia y estabilidad debido a capacitancias e inductancias parásitas. Para solucionar esto, se añadieron resistencias en gate-on y gate-off, así como un capacitor entre la puerta y la fuente. Estas modificaciones demostraron eficacia en simulaciones y pruebas experimentales, reduciendo perturbaciones y picos de tensión, y mejorando la estabilidad del sistema. La solución propuesta optimiza el rendimiento de los MOSFETs en aplicaciones de alta frecuencia y potencia, mejorando la eficiencia energética y reduciendo el estrés en los componentes.

Keywords

Commutation; Half-bridge; Miller inductance; MOSFET, oscillation.

Abstract

This work addresses the design of a circuit to minimize the adverse effects of MOSFET switching in a half-bridge configuration. MOSFETs suffer from efficiency and stability issues due to parasitic capacitances and inductances. To mitigate these effects, gate-on and gate-off resistors were added, along with a capacitor between the gate and source. These modifications proved effective in simulations and experimental tests, reducing disturbances and voltage spikes while improving system stability. The proposed solution enhances the performance of MOSFETs in high-frequency and high-power applications, increasing energy efficiency and reducing component stress.

Introducción

Un convertidor modular multinivel (MMC por sus siglas en inglés) es una topología de convertidores de potencia típicamente utilizado en aplicaciones de transmisión de energía en corriente continua de alta tensión y que recientemente se ha extendió al accionamiento de motores de media tensión. [1, 2]. Su diseño se basa en la interconexión de múltiples submódulos compuestos de medios puntos o puentes completos (ver Figura 1) que permiten la generación de una onda de tensión multinivel, lo que contribuye a mejorar la calidad de la energía y la eficiencia del sistema [3, 4].

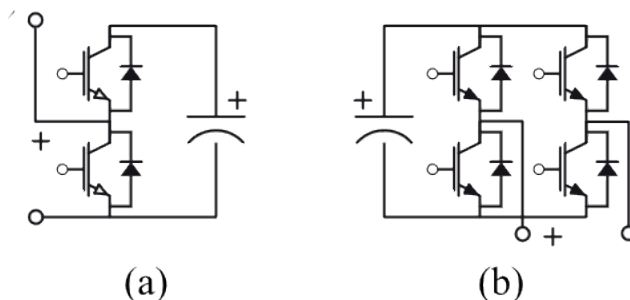


Figura 1. Submódulos de MMC. (a) Medio puente H. (b) Puente completo.

Un transistor de efecto de campo de semiconductores de óxido metálico (MOSFET por sus siglas en inglés) es un componente esencial en la implementación de convertidores multinivel. Son utilizados principalmente en aplicaciones de conmutación y amplificación debido a su alta eficiencia y velocidad [5]. Uno de los problemas observados en la configuración de medio puente H fue la presencia de oscilaciones en la señal de salida de ambos transistores, principalmente durante la activación del transistor. Este fenómeno se observa en la Figura 2, mediante la visualización de la tensión de puerta-fuente (V_{gs}) al activar y desactivar el dispositivo tras un período de tiempo muerto, donde las líneas son la tensión V_{gs} de los transistores superior e inferior de la configuración medio puente H mostrados en la Figura 1 respectivamente.

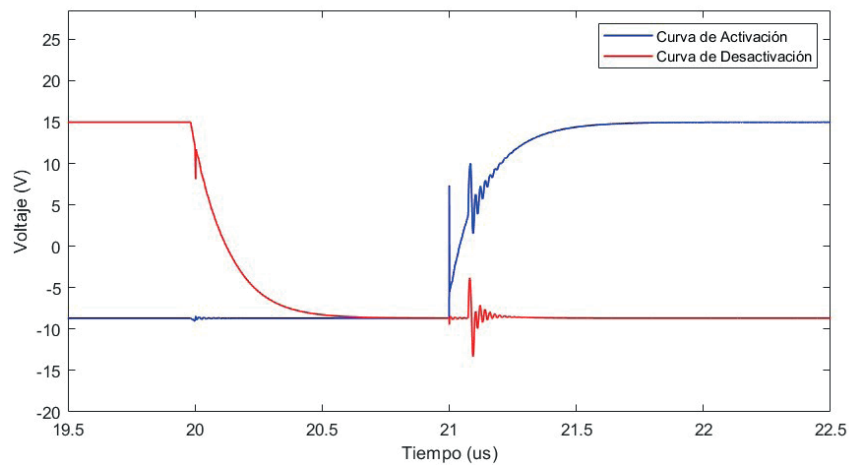


Figura 2. Señales de la tensión V_{gs} de un circuito medio puente H.

Dentro del funcionamiento de los MOSFETs la eficiencia de conmutación es un factor clave que influye directamente en el rendimiento y la fiabilidad de los circuitos electrónicos. A diferencia de los MOSFETs convencionales, los de potencia están diseñados para soportar altas tensiones y corrientes, lo que implica un manejo significativo de las capacitancias parásitas. Estas capacitancias incluyen: puerta a drenador (C_{gd}), puerta a fuente (C_{gs}) y drenador a fuente (C_{ds}) [6]. Sin embargo, estas capacitancias afectan negativamente la velocidad de conmutación del MOSFET, lo que resulta en tiempos de transición más largos y mayores pérdidas de energía durante el proceso de conmutación [7]. Una conmutación eficiente es fundamental para minimizar las pérdidas de energía y reducir el calentamiento, lo que resulta crucial en el diseño de sistemas de alta densidad de potencia y bajo consumo energético [8].

Se deben tener en cuenta los efectos parásitos que se presentan en los componentes, estos efectos son el resultado de las inductancias y capacitancias inherentes a los componentes y al diseño del circuito. La rápida conmutación de los transistores genera variaciones bruscas de corriente y tensión en el circuito, ante las cuales las inductancias y capacitancias parásitas presentes se oponen [9, 10].

Uno de los efectos parásitos más relevantes es la capacitancia de Miller, la cual surge debido al solapamiento entre la metalización de la puerta y la región n-menos del MOSFET, ubicada entre el drenador, la fuente y la puerta. La corriente a través de esta capacitancia se explica por la densidad de corriente de desplazamiento en el dieléctrico [11]. Durante el proceso de apagado, la región de deriva puede modelarse de manera unidimensional, y la intensidad del campo eléctrico en la capa de óxido es igual al pico del campo en la región de carga espacial.

Las posibles soluciones ante las pérdidas asociadas a la conmutación pueden variar según la causa analizada. En [12] se estudian los efectos de las cargas no lineales asociadas a corrientes parásitas en la conmutación de un dispositivo MOSFET en configuración medio puente H. En dicho estudio se caracteriza dicha carga parásita como una carga de saturación que queda en el transistor durante el periodo de apagado del interruptor, por lo que se aplica un circuito de desaturación de pulso activo, en el cual se aplica una tensión muy pequeña en la fuente del transistor para eliminar el problema.

Para el estudio de los efectos adversos en la conmutación, se implementó una sección del circuito del medio puente H (ver Figura 3) en el simulador LTspice. Este simulador permite la evaluación detallada de componentes, considerando tanto sus aspectos teóricos como prácticos, y simula de manera precisa su funcionamiento en condiciones reales. Para la simulación, se empleó el modelo de MOSFET IRF300P227 el cual trabaja en un rango de 300 V entre el drenador y la fuente (V_{ds}).

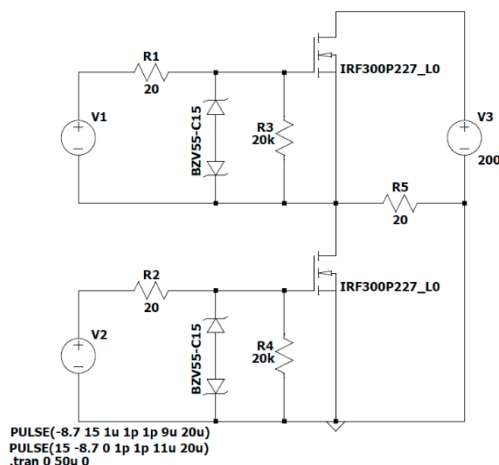


Figura 3. Simulación del circuito medio puente H.

Diseño del circuito para la mitigación de las oscilaciones de tensión entre la puerta del transistor

Para mitigar las oscilaciones de tensión en la tensión V_{gs} de los transistores, se desarrolló un circuito (ver Figura 4) capaz de minimizar las perturbaciones y picos de tensión que pueden ocurrir durante la conmutación de los MOSFETs en un circuito. Este tipo de circuito puede llegar a ser esencial para mejorar la estabilidad y eficiencia del sistema, especialmente en aplicaciones de alta frecuencia y potencia.

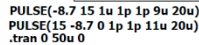


Figura 4. Circuito para la reducción de los efectos adversos de la conmutación de MOSFETs en medio puente H.

Durante el proceso de conmutación, se debe considerar el efecto de las capacitancias internas del transistor, donde las capacitancias C_{gd} y C_{gs} no son valores constantes, sino que varían de acuerdo con la tensión que atraviesa porque parte de la capacitancia es aportada por la capa de agotamiento [13]. C_{gd} conocida como capacitancia de realimentación o de Miller y la cual contribuye a las oscilaciones cuando el MOSFET cambia de estado. Luego está C_{gs} la cual controla la velocidad a la que se carga la puerta durante el encendido. La capacitancia total de la puerta, que controla tanto los tiempos de encendido como de apagado, es la suma de estas dos capacitancias [14, 15], como se muestra en la ecuación 1:

$$C_{iss} = C_{gd} + C_{gs} \quad (1)$$

El tiempo para la descarga o carga de un MOSFET durante la conmutación va a depender de la constante de tiempo τ definida en la ecuación 2. Esta constante se aplica tanto para los tiempos de encendido como de apagado del transistor, la única diferencia radica en el valor de la resistencia en la puerta (R_g), ya sea gate-on o gate-off. Para la resistencia de carga (gate-on), un valor más alto disminuye la velocidad de carga, lo que reduce la corriente que fluye a través de la resistencia [16].

$$\tau = R_g \cdot C_{iss} \quad (2)$$

La ecuación que describe el comportamiento de la tensión en la puerta del transistor durante la conmutación se deriva del modelo de un circuito RC en carga [15]. En este caso, la capacitancia se carga a través de la resistencia de la puerta R_g , tal como se expresa en la ecuación 3. La tensión en la puerta sigue una curva exponencial conforme se carga la capacitancia, y este tiempo está directamente relacionado con la constante de tiempo τ . Por lo tanto, al aumentar R_g , incrementa el tiempo que tarda en cargarse la puerta.

La tensión V_{ds} está relacionada con el comportamiento de la tensión V_{gs} , y varía a medida que se carga. Cuando esta tensión alcanza el umbral (V_{th}) para que el transistor conduzca, V_{ds} disminuye, permitiendo que la corriente fluya a través de las terminales del MOSFET.

$$V_{gs} = R_g C_{gd} \frac{dV_{ds}}{dt} \left(1 - e^{\frac{-t}{R_g(C_{gd} + C_{gs})}} \right) \quad (3)$$

Implementación en la plataforma de simulación

A partir del diseño mencionado anteriormente (Figura 4), se realizó la implementación de los métodos por separado para una mejor visualización de sus efectos individuales. En la Figura 5 se muestran ambas tensiones de V_{gs} en un circuito de medio puente H, específicamente al incorporar resistencias de gate-off y un diodo en la terminal de la puerta de los MOSFET. Durante el encendido del MOSFET, la curva de tensión V_{gs} muestra un rápido ascenso, indicando que el dispositivo está siendo llevado rápidamente hacia su región de saturación. Al incorporar las resistencias gate-off esta limita la velocidad a la que se carga la puerta, lo que contribuye a reducir las sobre corrientes en el proceso de conmutación. Sin embargo, un valor elevado de dicha resistencia podría aumentar significativamente el tiempo de respuesta del MOSFET. Por otro lado, durante el apagado, la curva mostraba una caída más gradual, la resistencia ayudó a mejorar el tiempo de descarga de la puerta.

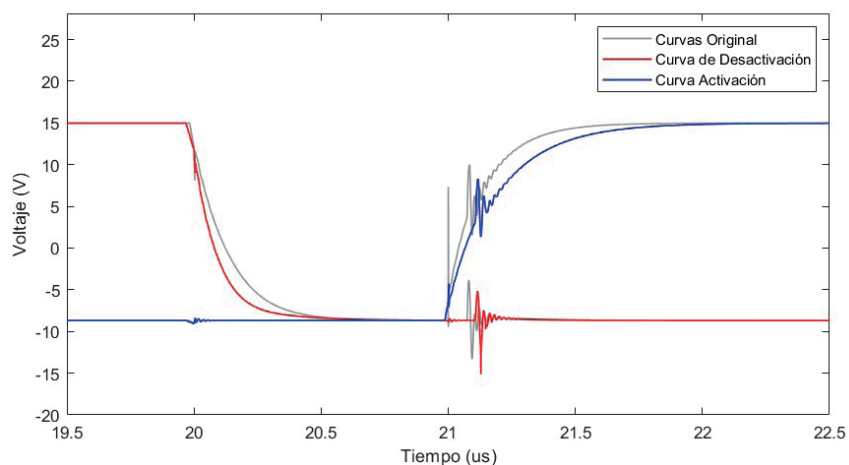


Figura 5. Gráfico del circuito incorporando las resistencias en gate-on y gate-off.

La adición de un capacitor al circuito mejora notablemente la estabilidad y el control durante el encendido y apagado de los MOSFET, ya que actúa como un filtro que atenúa las oscilaciones de tensión, proporcionando una conmutación más suave y controlada, como se observa en la Figura 6. Al suavizar las variaciones de tensión, el capacitor permite una transición más estable entre los estados de encendido y apagado, lo que es crucial para aplicaciones que requieren conmutaciones precisas y rápidas. Sin embargo, el capacitor introduce un ligero aumento en el tiempo de transición debido a su proceso de carga y descarga, lo que se refleja en un mayor tiempo de subida y caída de la tensión V_{gs} , aunque con una significativa reducción de las oscilaciones respecto a la curva sin capacitor.

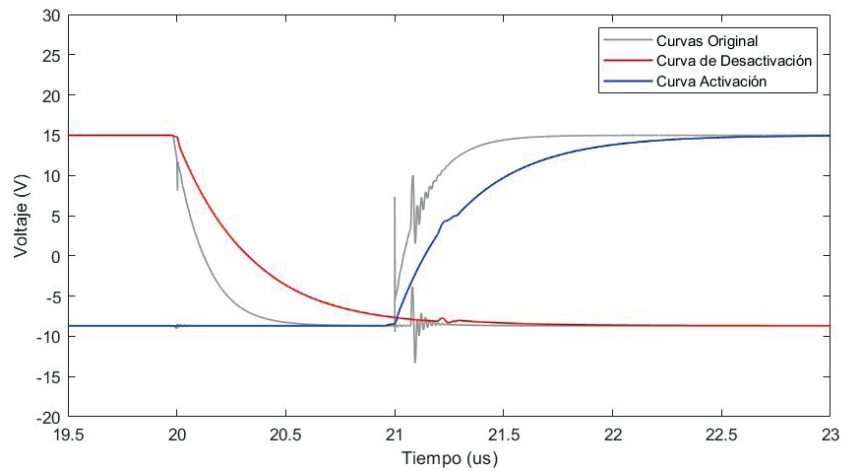


Figura 6. Gráfico del efecto del capacitor en V_{gs} .

La Figura 7 muestra los resultados de realizar la implementación de ambos métodos de mitigación, se destaca la reducción significativa de los picos de tensión y corriente, lo que refleja transiciones más suaves. Asimismo, se observa una mayor estabilidad en el circuito, evidenciada por una caída más controlada de la tensión V_{gs} , evitando picos abruptos. Por lo tanto, las modificaciones introducidas al circuito han demostrado ser efectivas para mejorar su rendimiento.

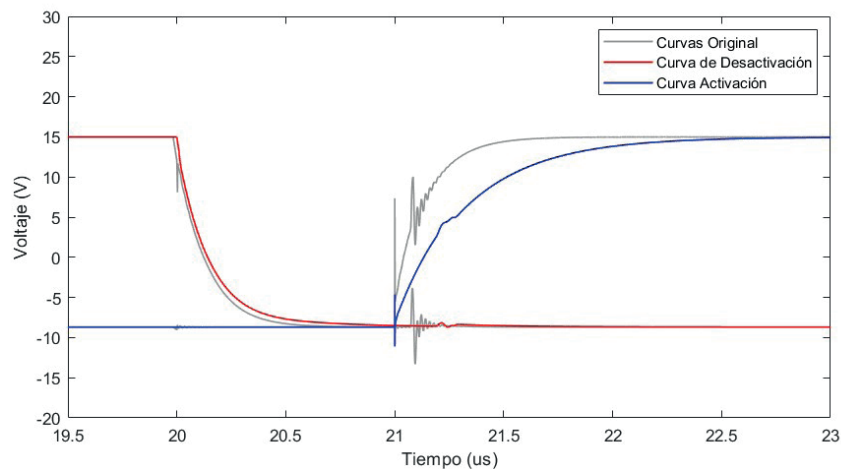


Figura 7. Prueba simulada de la implementación de ambas técnicas en un circuito de medio puente H.

Resultados y Análisis

Los resultados obtenidos a partir de las simulaciones y las pruebas experimentales realizadas en el laboratorio de investigación de la Universidad de Santiago de Chile evidencian una mejora significativa en la estabilidad y eficiencia de los MOSFETs mediante la implementación del circuito modificado.

El primer resultado experimental corresponde al circuito original de medio puente H (ver Figura 3), en el que se observaron altos picos de tensión durante la conmutación. Las oscilaciones generadas afectaron tanto la estabilidad como la eficiencia del sistema. En la Figura 8, se

observan las formas de onda medidas en el circuito físico, donde la curva amarilla representa la tensión V_{gs} del MOSFET superior mientras que la curva verde representa al MOSFET inferior de la configuración medio puente H. A partir de estas, se detectaron variaciones bruscas en la tensión V_{gs} durante los estados de encendido y apagado de los MOSFETs, lo que incrementó las pérdidas por conmutación. Este comportamiento sugiere que el diseño no considera adecuadamente las características dinámicas del MOSFET, lo que da lugar a un rendimiento subóptimo.



Figura 8. Prueba física de la operación de un medio puente H con 100V. (10 V/div, 500ns/div)

Para el siguiente resultado, se agregó un capacitor de 10 nF entre las compuertas puerta-fuente de los MOSFETs, lo que permitió reducir las oscilaciones tanto antes del encendido como durante el estado de apagado del transistor. En la Figura 9 se muestra una transición más suave con una reducción de picos en la tensión de las compuertas V_{gs} de ambos MOSFETs, representados por las curvas amarilla y verde, lo que indica una mejora en la estabilidad del sistema. Además, la curva azul que representa la corriente del circuito muestra una menor distorsión, lo que sugiere una mitigación efectiva de las oscilaciones. Sin embargo, se identificó un ligero aumento en los tiempos de transición, lo que indica que, si bien la estabilidad mejoró, es necesario considerar un equilibrio entre la velocidad de conmutación y la suavidad de las transiciones para optimizar el rendimiento del sistema.

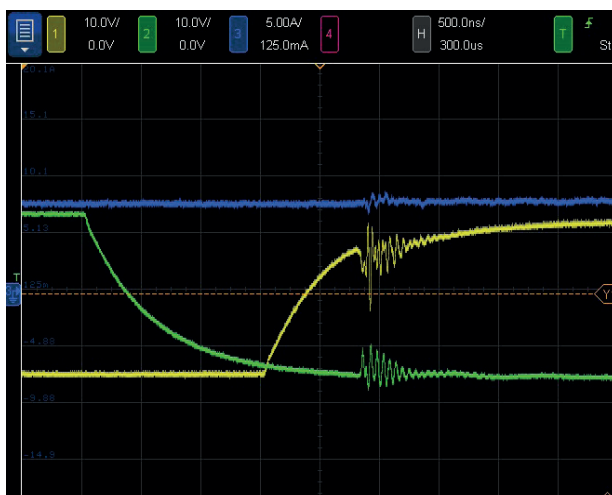


Figura 9. Prueba física de la operación de un medio puente H con 100V y un capacitor entre la puerta-fuente. (10 V/div, 500 ns/div)

Finalmente, se incorporó al circuito una resistencia gate-off de 20 Ω junto con un diodo de recuperación rápida, lo que resultó en una mejora significativa en estabilidad y eficiencia. Como se muestra en la Figura 10, las oscilaciones de ambas tensiones V_{gs} , se mantuvieron notablemente reducidas a pesar de la adición de estos componentes. Además, la inclusión de la resistencia y el diodo disminuyó considerablemente el tiempo de descarga de la tensión V_{gs} en comparación con la Figura 9. Las resistencias añadidas permitieron un mayor control sobre la velocidad de conmutación, lo que mejoró la eficiencia energética y redujo el estrés en los componentes. Este resultado es clave, ya que demuestra que la combinación adecuada de elementos pasivos puede optimizar el rendimiento del circuito.



Figura 10. Prueba física de la operación de un medio puente H con 100V, un capacitor entre la puerta-fuente y una resistencia con diodo en el Gate-on y Gate-off. (10 V/div, 500ns/div)

Además, como se observa en las 3 gráficas de las pruebas físicas, la corriente I_d se mantuvo en aproximadamente 7,5 A. La invariabilidad de la corriente indica que el sistema puede manejar las cargas sin riesgos de picos de corriente, algo que podría causar pérdidas significativas. Para complementar el análisis cualitativo, se presenta una tabla que resume los resultados cuantitativos obtenidos en las diferentes configuraciones del circuito.

Cuadro 1. Comparación de los resultados experimentales.

Prueba	Tensión Pico (V)	Tiempo de subida (ns)	Tiempo de bajada (ns)
Circuito original sin capacitor	23	1000	1000
Circuito con capacitor	12	1500	2000
Circuito con resistencia, diodo y capacitor	16	1300	1000

Conclusión y recomendaciones

Las modificaciones implementadas en el circuito, que incluyeron la incorporación de resistencias en el gate-on y gate-off, así como un capacitor entre la puerta y la fuente, resultaron en una mejora notable en la estabilidad del sistema, aunque con un ligero aumento en los tiempos de conmutación. Las pruebas demostraron una reducción significativa en los picos de tensión,

que bajaron de 23 V en el circuito original a 16 V en la configuración final con resistencias, diodo y capacitor. Sin embargo, los tiempos de subida y bajada, que se mantuvieron en valores comparables o ligeramente superiores, reflejan un compromiso aceptable en la optimización y reducción de las oscilaciones.

Este balance, aunque con un leve incremento en los tiempos de transición, fue clave para reducir las perturbaciones y las oscilaciones observadas en el circuito original, lo que permitió suavizar las transiciones de tensión y mejorar la conmutación de los MOSFETs. Se confirmó que el aumento en los tiempos de conmutación fue compensado por una mayor estabilidad y eficiencia del sistema, lo que valida las modificaciones propuestas.

Para futuros estudios, se recomienda explorar el impacto de diferentes valores de capacitancia entre la puerta y la fuente, con el objetivo de encontrar una configuración óptima que minimice aún más las oscilaciones sin afectar significativamente la velocidad de conmutación. Además, sería beneficioso realizar pruebas con distintos tipos de MOSFETs, considerando sus características dinámicas y tiempos de respuesta, para evaluar la aplicabilidad de las modificaciones en una gama más amplia de dispositivos. Asimismo, se sugiere analizar la implementación de otros elementos pasivos o técnicas de control que puedan mejorar aún más la eficiencia y estabilidad del sistema, garantizando una conmutación más precisa y confiable.

Referencias

- [1] M. A. Perez, S. Ceballos, G. Konstantinou, J. Pou and R. P. Aguilera, "Modular Multilevel Converters: Recent Achievements and Challenges," *IEEE Open Journal of the Industrial Electronics Society*, vol. 2, pp. 224-239, 2021, doi: 10.1109/OJIES.2021.3060791
- [2] Y. Arias-Esquivel, R. Cárdenas, M. Urrutia, M. Díaz, L. Tarisciotti, y J. C. Clare, "Continuous Control Set Model Predictive Control of a Modular Multilevel Converter for Drive Applications," *IEEE Transactions on Industrial Electronics*, vol. 70, no. 9, pp. 8723-8733, Sep. 2023, doi: 10.1109/TIE.2022.3210515.
- [3] Priya, M., Ponnambalam, P. and Muralikumar, K., "Modular-multilevel converter topologies and applications – a review," *IET Power Electronics*, vol. 12, pp. 170-183, Jan. 2019, doi: 10.1049/iet-pel.2018.5301
- [4] F. Rodríguez, D. Garrido, R. Núñez, G. Oggier, y G. García, «Modelado dinámico y de estado estacionario para la conexión modular entrada serie - salida serie de convertidores con puentes duales activos», *Rev. iberoam. autom. inform. ind.*, vol. 18, n.º 4, pp. 371–384, Sep. 2021, doi: 10.4995/riai.2021.14866.
- [5] D. Murillo-Yarce, A. Alzate-Gomez, & A. Escobar-Mejía, "Análisis comparativo del control predictivo de corriente en convertidores vsi empleados en la conexión a red de energías renovables", *TecnoLógicas*, vol. 21, no. 41, p. 45-62, 2018. doi: 10.22430/22565337.714
- [6] R. Stark, A. Tsibizov, I. Kovacevic-Badstuebner, T. Ziemann and U. Grossner, "Gate Capacitance Characterization of Silicon Carbide and Silicon Power mosfets Revisited," in *IEEE Transactions on Power Electronics*, vol. 37, no. 9, pp. 10572-10584, Sept. 2022, doi: 10.1109/TPEL.2022.3164360.
- [7] U. Jadli, F. Mohd-Yasin, H. A. Moghadam, P. Pande, J. R. Nicholls and S. Dimitrijević, "Measurement of Power Dissipation Due to Parasitic Capacitances of Power MOSFETs," in *IEEE Access*, vol. 8, pp. 187043-187051, 2020, doi: 10.1109/ACCESS.2020.3030269.
- [8] D. Zięba and J. Rąbkowski, "Problems related to the correct determination of switching power losses in high-speed SiC MOSFET power modules," *Bulletin of the Polish Academy of Sciences Technical Sciences*, p. 140695, Feb. 2022, doi: 10.24425/bpasts.2022.140695.
- [9] A. Ong, J. Carr, J. Balda and A. Mantooth, "A Comparison of Silicon and Silicon Carbide MOSFET Switching Characteristics," 2007 IEEE Region 5 Technical Conference, Fayetteville, AR, USA, 2007, pp. 273-277, doi: 10.1109/TPSD.2007.4380318.
- [10] D. Cittanti, F. Iannuzzo, E. Hoene and K. Klein, "Role of parasitic capacitances in power MOSFET turn-on switching speed limits: A SiC case study," 2017 IEEE Energy Conversion Congress and Exposition (ECCE), Cincinnati, OH, USA, 2017, pp. 1387-1394, doi: 10.1109/ECCE.2017.8095952.
- [11] J. Boehmer, J. Schumann and H. -G. Eckel, "Effect of the miller-capacitance during switching transients of IGBT and MOSFET," 2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC), Novi Sad, Serbia, 2012, pp. LS6d.3-1-LS6d.3-5, doi: 10.1109/EPEPEMC.2012.6397498.

- [12] A. Fratta, P. Guglielmi, E. Armando, S. Taraborrelli and G. Cristallo, "Commutation losses reduction in high voltage power MOSFETs by proper commutation circuit," *2011 IEEE International Conference on Industrial Technology*, Auburn, AL, USA, 2011, pp. 127-132, doi: 10.1109/ICIT.2011.5754359.
- [13] N. Mohan, T. M. Undeland, and W. P. Robbins, *Power Electronics: Converters, Applications, and Design*. 1995.
- [14] H. Peng, J. Chen, Z. Cheng, Y. Kang, J. Wu and X. Chu, "Accuracy-Enhanced Miller Capacitor Modeling and Switching Performance Prediction for Efficient SiC Design in High-Frequency X-Ray High-Voltage Generators," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 1, pp. 179-194, March 2020, doi: 10.1109/JESTPE.2019.2951743.
- [15] Yuan, D.; Zhang, Y.; Wang, X. An Improved Analytical Model for Crosstalk of SiC MOSFET in a Bridge-Arm Configuration. *Energies* 2021, 14, 683, doi: 10.3390/en14030683.
- [16] J. Tan and Z. Zhou, "An optimized switching strategy based on gate drivers with variable voltage to improve the switching performance of sic mosfet modules", *Energies*, vol. 16, no. 16, p. 5984, 2023, doi: 10.3390/en16165984.

Declaración sobre uso de Inteligencia Artificial (IA)

Los autores aquí firmantes declaramos que no se utilizó ninguna herramienta de IA para la conceptualización, traducción o redacción de este artículo.