

## Controlador con base en el circuito integrado ispLSI1016 para la utilización de un FIFO de TV en espectrometría

*Eduardo Arista Romeu, Juan F. Osorio Deliz, René B. Toledo Acosta\**

**S**e discute el diseño de un controlador con base en el circuito integrado ispLSI1016 para la utilización de un FIFO de 256K x 8 destinado originalmente para aplicaciones de video digital, en espectrometría.

*El diseño con base en un circuito integrado de la familia ispLSI permitió disminuir drásticamente la cantidad de componentes utilizados, obtener un diseño flexible en el plazo fijado y cumplir otros requisitos específicos de las aplicaciones espectrométricas.*

*It is described the design of a controler based in the integrated circuit ispLSI1016 for the utilization of a 256K x 8 FIFO originally for digital video applications, in spectroscopy.*

*The design was based upon an integrated circuit of the ispLSI family, which allowed drastically to diminish the quantity of utilized components, to obtain a flexible design in less time and to fullfil other specific requirements for spectroscopy applications.*

### **Introducción**

El desarrollo intensivo de la televisión digital y de los sistemas multimedia ha

conllevado el desarrollo de circuitos integrados de muy altas características optimizados para estas aplicaciones como es el caso de las memorias FIFO (First In First Out) de 256Kx8 tipo MSM518221.

Para algunas aplicaciones espectrométricas [1] es necesario el acceso serial de alta velocidad y la disponibilidad de una memoria buffer de alta capacidad que permita minimizar las pérdidas de tiempo muerto durante la transferencia de los datos provenientes del conversor espectrométrico hacia el sistema de procesamiento así como almacenar temporalmente los datos mientras el procesador está ocupado con otras tareas, características todas que cumple el c.i. MSM518221; sin embargo mientras que para las aplicaciones de video este c.i. funciona simplemente como un dispositivo de retardo digital cuya longitud de bits de retardo puede ser fácilmente fijada por el atempamiento de inicialización y las señales de control quedan identificadas naturalmente con las señales de sincronismo para las aplicaciones espectrométricas, es un verdadero reto generar las señales de control necesarias.

Para enfrentar esta tarea se utilizó un circuito integrado del tipo ispLSI1016 y se optimizó el diseño al máximo combinando las técnicas previstas en el sistema de

\* Centro de Estudios Aplicados al Desarrollo Nuclear (CEADEN), La Habana, Cuba.

diseño de la firma Lattice de la utilización de la biblioteca de macros de bloques lógicos y la descripción de las funciones lógicas con ecuaciones.

### Descripción y funcionamiento del controlador

En la Figura 1 se muestra el esquema en bloques del circuito controlador, la función principal de este es la de generar las señales de control RSTW y RSTD y de reloj SWCK y SRCK según las especificaciones del fabricante para lograr el funcionamiento correcto del c.i. MSM518221 [2], adicionalmente se impuso el requisito de crear un mecanismo que permitiera circunvalar la especificación de mantener un retardo mínimo de 600 ciclos SWCK entre la escritura y la lectura de la memoria, de modo de tener acceso a

todos los datos almacenados en el FIFO en un tiempo prudencial, independientemente de la frecuencia de entrada de datos; esto es necesario para una visualización correcta del espectro durante la adquisición.

La operación de escritura se realiza cuando se recibe la señal Data\_Load que indica la presencia de datos válidos, siempre que no se haya previamente comenzado el "vaciado" del FIFO, ni se haya llenado el mismo en cuyo caso no se forma la señal SWCK que realiza la escritura. Los pulsos de escritura pasan a un contador por 512 para formar RSTW y pasar al siguiente bloque de datos; se escogió este número para asegurar el máximo aprovechamiento del FIFO. Siempre que el contenido del FIFO esté en el valor de 1024 o por debajo se realizan escrituras falsas que son marcadas con un bit de la palabra de datos almacenada y de este modo se asegura el acceso a los

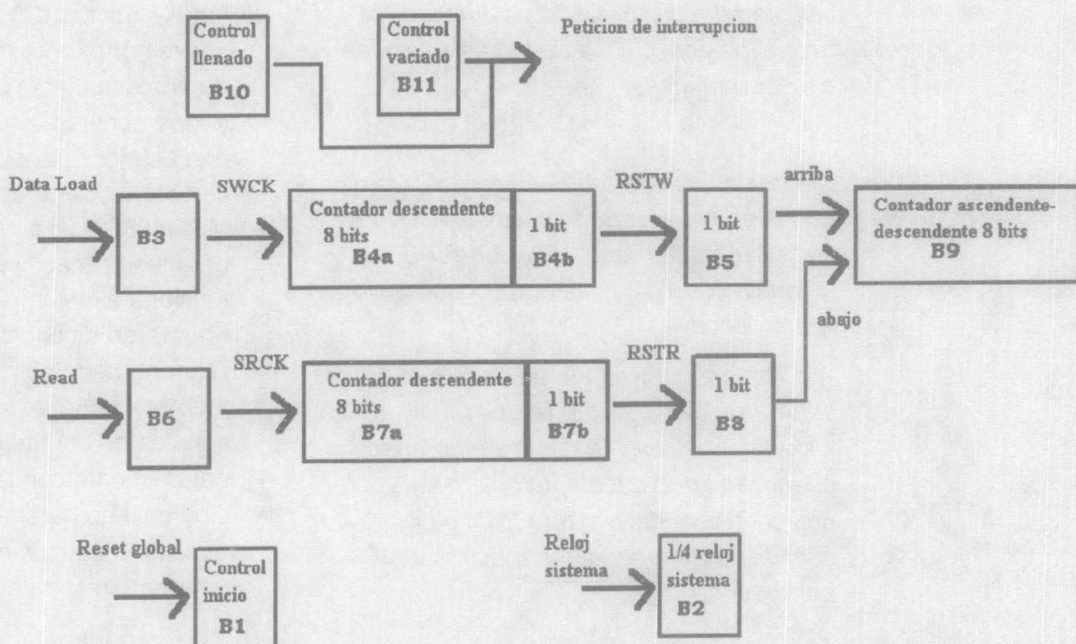


Figura 1. Esquema en bloque del controlador.

datos y se mantiene el retardo entre las operaciones de lectura y escritura.

El control del llenado del FIFO se realiza con un contador adicional de 8 bits (bloque B9) que se incrementa cada 1024 operaciones de escritura, si esto ocurriera se genera una interrupción para el procesador.

La operación de lectura se realiza cuando se recibe la señal Read del procesador dirigida hacia el controlador, esta acción se realiza en respuesta a la petición de interrupción por parte del controlador una vez que el contenido del FIFO llega al valor de 1024. Si el contenido del FIFO es 1024 las operaciones de lectura son repetidas con escrituras falsas que se marcan del modo descrito anteriormente. Los pulsos de lectura pasan a un contador por 512 para formar la señal RSTR de modo que los bloques de lectura se correspondan con los bloques de escritura. Durante las operaciones de lectura válidas se activan las salidas del FIFO con la señal OE.

El control del vaciado del FIFO se realiza desincrementando el contador adicional de 8 bits (bloque B9) lo que ocurre cada 1024 operaciones de lectura. Si se activa la señal VACIAR se procede al "vaciado" del FIFO para lo cual se bloquea la entrada de datos válidos y se procede únicamente a realizar lecturas; una vez vaciado el contador adicional se realizan escrituras falsas que no incrementan el contador hasta que el contador de lectura se iguala con el de escritura; en ese momento se genera una interrupción para indicar al procesador el vaciado del FIFO.

Para cumplir el procedimiento de inicialización, se destina el bloque B1, el cual consiste en una máquina de estado que se activa al energizar el c.i. o dar RESET global al controlador y se desactiva después de pasados 512 ciclos de SWCK, lo que es indicado por el segundo RSTW. El primer RSTW se forma al comenzar la

inicialización lo que se asegura por la elección de un contador descendente. Durante la inicialización los ciclos SRCK repiten los SWCK y la señal RSTR se forma análogamente de su respectivo contador. Las operaciones de escritura y lectura durante la inicialización son falsas y esto se señala con la señal Fifo\_Ready y con la marca respectiva.

A partir del esquema en bloque del controlador y conociendo los recursos disponibles en un circuito integrado ispLSI1016 [3], se preparó el diseño para que ocupara un solo c.i. ispLSI1016.

## *Diseño lógico del controlador*

El sistema de diseño Lattice [4-6] permite utilizar macros de la biblioteca que se provee con el sistema o realizar la descripción (programación) lógica mediante ecuaciones. En el diseño del presente controlador se combinaron ambas técnicas, así se emplearon los siguientes macros:

**CBD18-** Contador binario descendente de 8 bits con reset asincrónico y entrada y salida de cascada en los bloques B4a y B7a.

**CBD11-** Contador binario descendente de 1 bit con reset asincrónico y entrada y salida de cascada en los bloques B4b, B5, B7b y B8.

**CMP8-** Comparador de igualdad de 8 bits como parte del bloque B11.

Para el resto de los bloques se usaron ecuaciones, por ejemplo para los bloques B3 y B6 son las siguientes:

*SIGTYPE SWCK OUT;*

*SIGTYPE SRCK OUT;*

### **EQUATIONS**

*SWCK=((Clock\_Sys2&!INIC)#(Data\_Load&!VACIAR&!FIFO\_LLENO)#(LECT&SUP\_VACIO&!FIFO\_VACIO));*

```
SRCK=((Clock_Sys2&!INIC)#(LECT&!
SUP_VACIO)#
(LECT&SUP_VACIO&!FIFO_VACIO));
LECT=!Read&!PCS2&!A1;
END
```

## *Conclusiones*

La utilización de un circuito ispLSI para el diseño del controlador permitió disminuir drásticamente la cantidad de componentes electrónicos utilizados y acortar los plazos al facilitar la comprobación de las características y eliminar etapas intermedias que ahora son asumidas por el sistema de diseño así como aumentar la flexibilidad por la característica de reprogramabilidad del c.i. que da la posibilidad de ajustar la programación e introducir cambios si fuera necesario.

La utilización de circuitos ispLSI de alta integración permitió usar el FIFO de 256K x 8 en una aplicación espectrométrica sin comprometer recursos para su atención por parte del procesador central que queda libre para otras tareas de mayor importancia.

## *Referencias*

- [1] **Toledo Acosta R. y otros.** "Sistema multiparamétrico para la adquisición y procesamiento de datos nucleares en base a una computadora personal."
- [2] **OKI Semiconductors** Data Book, 1994.
- [3] **Lattice** Data Book, 1994.
- [4] **Lattice** Macro Library Reference Manual.
- [5] **isp** Programmer Reference Manual.
- [6] **Lattice** in-System Programmability Manual.