

Diseño e implementación de un sistema de recuperación de la temporización asíncrono totalmente digital

Design and implementation of an all-digital timing recovery system for asynchronous communication

José Jaime Valenciano-Rojas¹, Renato Rímolo-Donadio²

Fecha de recepción: 2 de setiembre del 2014
Fecha de aprobación: 14 de diciembre del 2014

Valenciano-Rojas, J; Rímolo-Donadio, R. Diseño e implementación de un sistema de recuperación de la temporización asíncrono totalmente digital. *Tecnología en Marcha*. Vol. 28, N° 2, Abril-Junio. Pág 33-43.

1 Estudiante de Ingeniería Electrónica. Instituto Tecnológico de Costa Rica. Teléfono: (506) 8899-3318. Correo electrónico: jjvr10@gmail.com

2 Profesor de la Escuela de Ingeniería Electrónica. Instituto Tecnológico de Costa Rica. Teléfono: (506) 2550-9280. Correo electrónico: rrimolo@tec.ac.cr

Palabras clave

Modulación 4-PAM; procesamiento digital de señales; recuperación de la temporización; sistema de comunicación.

Resumen

Este trabajo describe el diseño e implementación de una unidad de recuperación de la temporización completamente digital, para un sistema de comunicación que utiliza recepción paralela de datos, con modulación 4-PAM, filtrado *Raised Cosine* y una frecuencia nominal de muestreo de 1,1 GHz. Se explica el diseño de los diferentes bloques dentro del sistema, así como los resultados pertinentes a las simulaciones y la implementación física en FPGA.

Keywords

4-PAM modulation; communication systems; digital signal processing; timing recovery.

Abstract

This work addresses the design and implementation of a timing recovery unit for a communication system with parallel reception, 4-PAM modulation, *raised cosine* filtering and a nominal sampling frequency of 1,1 GHz. The design of the building blocks within the system, as well as simulation results and the physical implementation in FPGA are discussed.

Introducción

En cualquier sistema de comunicación es necesaria la sincronización entre el transmisor y el receptor, con el fin de que los datos transmitidos se puedan interpretar correctamente. En sistemas asíncronos, uno de los problemas que lo impide y que debe ser solucionado corresponde a la diferencia o error en la frecuencia del reloj de recepción respecto a la frecuencia utilizada en la transmisión. Esto se debe a que, aunque se requiere que sean completamente iguales, se presenta una incertidumbre en la frecuencia de los osciladores utilizados y los retardos dentro del sistema, inherentes al proceso de su fabricación. Es por ello que se requiere una unidad capaz de corregir este problema, la cual se conoce como sistema de recuperación de la temporización (*timing recovery*).

Este artículo presenta parte del trabajo desarrollado como proyecto de graduación para optar por el grado de Licenciatura en Ingeniería Electrónica (Valenciano, 2014), que consistió en el desarrollo de una unidad de recuperación de temporización totalmente digital para incorporarla a un sistema de comunicación más complejo que se está desarrollando en el marco de un proyecto de la Comunidad Europea denominado "FABULOUS". Dicho proyecto busca mejorar las técnicas de transmisión a través de fibra óptica, con el fin de incorporarlas en las redes de internet de alta velocidad en la Unión Europea. El trabajo se llevó a cabo en el *Istituto Superiore Mario Boella*, en Italia. Este artículo presenta información relacionada con el proceso de diseño, selección de la arquitectura de las etapas, verificación a nivel de simulación y, finalmente, las pruebas de implementación, realizadas en FPGA (*Field Programmable Gate Array*). En la figura 1 se muestra el diagrama de bloques de un sistema general de comunicación, el cual ilustra la necesidad de contar con una unidad de recuperación de la temporización en el lado del receptor.

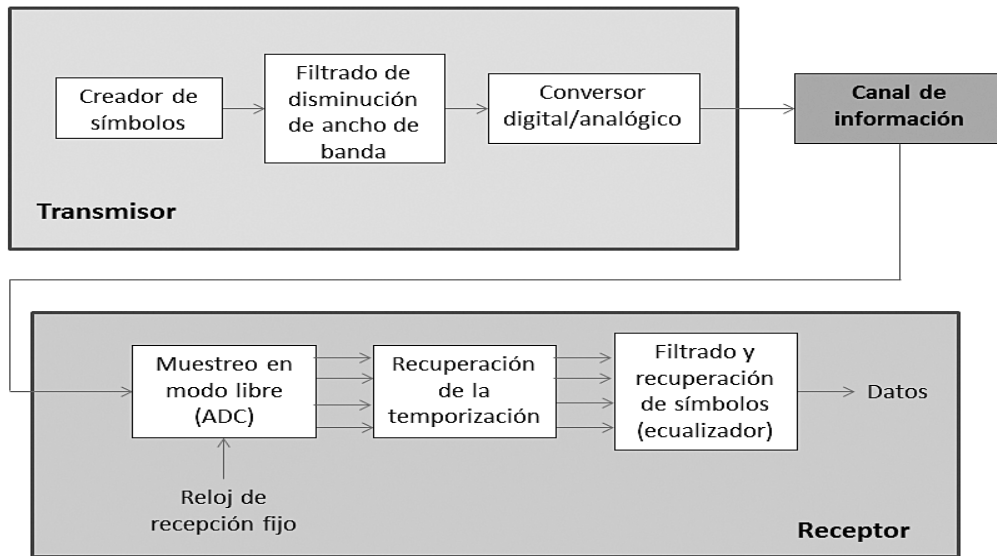


Figura 1. Diagrama de bloques de un sistema general de comunicación con unidad de recuperación de la temporización

Existen diversas implementaciones de este sistema de recuperación de la temporización, las cuales se conocen como completamente analógica, completamente digital o soluciones híbridas (Gardner, 1993).

Las unidades completamente analógicas presentan el cambio en el reloj mediante un VCO (*Voltage Controlled Oscillator*) luego de un procesamiento analógico que implica errores de fase, entre otros. Un ejemplo específico de este tipo de implementación es el PLL (*Phase Locked Loop*). En el caso de los sistemas híbridos, se busca del mismo modo un cambio en el reloj, sin embargo, el procesamiento de los errores se presenta digitalmente luego del muestreo de las señales.

Por otra parte, las implementaciones completamente digitales tienen la ventaja de minimizar los recursos. Al integrar toda la etapa en un sistema de procesamiento digital, no es necesario desarrollar ninguna etapa analógica, que usualmente conlleva mayor esfuerzo en el proceso de diseño y verificación. Además, tampoco se requieren interfaces digital-analógico como en el caso de soluciones híbridas. En ese trabajo se escogió una solución completamente digital por las razones antes mencionadas, para poder lograr una implementación directa en FPGA. En el sistema propuesto, la información se recibe de una forma paralela, con modulación 4-PAM (*Pulse Amplitude-Modulation*), un filtrado *Raised Cosine* con $\alpha=0,1$ y una frecuencia de muestreo nominal de 1,1 GHz.

En este tipo de sistema se obtienen las muestras con un reloj en modo libre (*free running*), es decir, el reloj toma los datos con una frecuencia fija, sin ser alterado a través del tiempo. Estas muestras son transmitidas a la unidad de procesamiento, en este caso, la FPGA de forma paralela, con cuatro muestras consecutivas. Posteriormente, el sistema se encarga de realizar cambios en dichas muestras, ajustando correctamente la temporización.

En la figura 2 se presenta una serie de gráficos correspondientes a las muestras recibidas, con las especificaciones mencionadas en cuanto a modulación y filtrado. En la figura, estas muestras se encuentran primeramente en serie y luego separadas en cuatro series de datos consecutivos de forma paralela, modo en que los recibe la unidad de procesamiento.

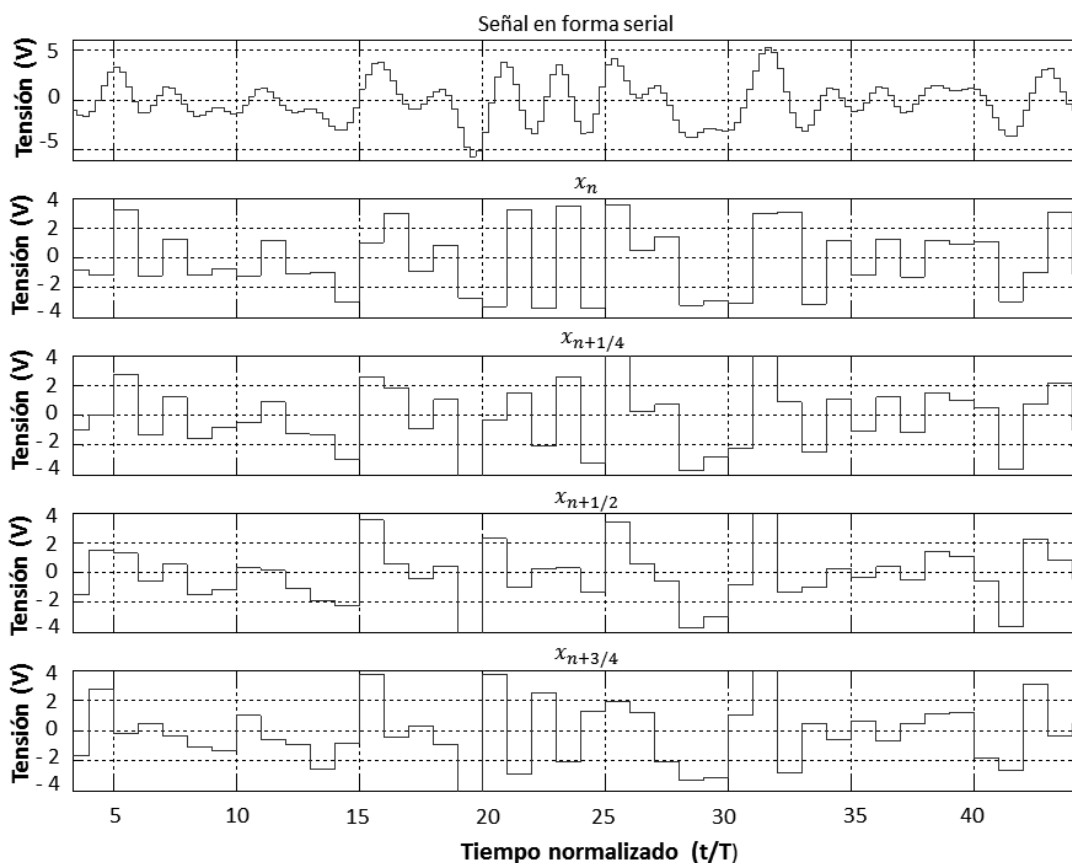


Figura 2. Muestras recibidas y transmitidas a la unidad de procesamiento, correspondiente a los datos recibidos en forma serial (gráfico superior) y las cuatro series de datos separadas. Las señales poseen cuatro niveles binarios porque se utiliza modulación 4-PAM.

Diseño de la estructura

Para el diseño de la estructura de recuperación de la temporización se recurrió a información presentada en distintas publicaciones y se adaptó a las especificaciones deseadas. Por ejemplo, en Qiang (2010) se presenta un estudio detallado de este tipo de etapas, a partir del cual se obtuvieron datos generales sobre la forma en que funcionan estas unidades digitales y sus subbloques.

Con base en este estudio se escogió la arquitectura descrita en la figura 3, que presenta el diagrama general de todo el sistema. En este diagrama se encuentra primero el interpolador, que se encarga de insertar el retraso en el sistema capaz de corregir el error en la temporización. Posteriormente, dentro del lazo de realimentación se encuentra el selector de muestras, que permite determinar con cuáles de las salidas del interpolador debe llevarse a cabo la detección del error. Luego se presenta el detector de errores de tiempo (TED) que, como su nombre lo indica, determina si el sistema presenta o no una correcta temporización. A partir de ahí se presenta el filtro de lazo, que se encarga de minimizar el ruido de la etapa anterior, además de permitir una estabilización en la ganancia de lazo, integrando los distintos errores en el tiempo. A partir de esta señal estabilizada es que la unidad de control permite realizar un ajuste a la misma para crear el nivel de retraso adecuado para la entrada del interpolador.

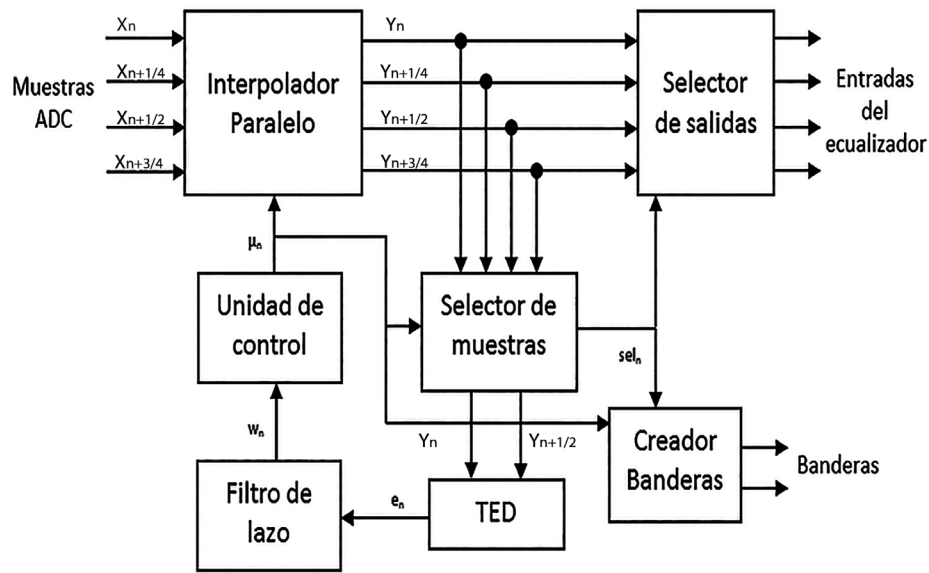


Figura 3. Diagrama general del sistema de recuperación de la temporización que se diseñó.

Se puede observar cómo el sistema continúa con la estructura paralela al final del mismo, en la cual los datos serán alineados correctamente por el selector de salidas para obtener la información con la temporización correcta, y así poder extraer adecuadamente los diferentes símbolos en el ecualizador. A continuación, se explicará con más detalle la función y el diseño de cada uno de sus bloques.

Interpolador

El interpolador corresponde al bloque que permite incorporar un retraso cuantificado en la señal, de acuerdo con una señal de control que posibilita ajustarlo.

En el diseño de esta estructura se utilizó la teoría correspondiente a la interpolación cúbica de Lagrange, que presenta poco error aún sin compensación por la respuesta en frecuencia, o sea, en presencia de una mayor cantidad de ruido (Erup, Gardner y Harris, 1993). Para este tipo de interpolación se utilizan cuatro muestras consecutivas y, aplicando una señal de μ entre 0 y 1, se realiza un retraso en el tiempo, donde con μ igual a 0 se da el retraso máximo (un tiempo de muestra) y con μ igual a 1 no hay retraso. Dentro de este rango, la señal puede tomar cualquier valor real, que estará limitado en la implementación por la resolución que se le dé dentro del sistema, la cual fue de 18 bits.

Las ecuaciones que describen este tipo de interpolación se describen a continuación (Meyr, Moeneclaey y Fechtel, 1998):

$$y_0(\mu, t_n) = \sum_{n=-3}^0 q_n(\mu)x(t_n) \quad (1)$$

$$q_{-3}(\mu) = \frac{1}{6}\mu^3 + \frac{1}{2}\mu^2 + \frac{1}{3}\mu \quad (2.a)$$

$$q_{-2}(\mu) = -\frac{1}{2}\mu^3 - \mu^2 + \frac{1}{2}\mu + 1 \quad (2.b)$$

$$q_{-1}(\mu) = \frac{1}{2}\mu^3 + \frac{1}{2}\mu^2 - \mu \quad (2.c)$$

$$q_0(\mu) = -\frac{1}{6}\mu^3 + \frac{1}{6}\mu \quad (2.d)$$

De las ecuaciones anteriores se observa que la salida interpolada y_0 responde a la señal de retraso temporal μ y las señales de entrada obtenidas en los tiempos discretos t_n , las cuales corresponden a las muestras enviadas por el convertidor analógico digital (ADC), que corresponde a un dispositivo capaz de recibir impulsos analógicos a través del tiempo y cuantificarlos en un valor digital.

La implementación de este sistema se realizó utilizando como referencia una estructura conocida como Farrow (Meyr, Moeneclaey y Fechtel, 1998), la cual permite diseñar el sistema utilizando solo operaciones de multiplicación, suma y resta, usando la señal de μ y cuatro muestras consecutivas.

A través de las ecuaciones se da la interpolación de una sola muestra, o sea, el $x_0(t_n)$ con su respectiva salida $y_0(t_n)$. Dado esto, como la estructura general de recepción de datos es paralela, se debe realizar un bloque interpolador para cada una de las muestras, alineando adecuadamente los datos consecutivos según corresponda.

Selector de muestras y detector de errores de tiempo (TED)

Esta estructura permite determinar los errores en la temporización de las muestras, con el fin de que puedan corregirse a través del lazo de realimentación.

Para realizar esta detección de errores, un algoritmo muy utilizado, debido a los pocos recursos que requiere (una multiplicación y una resta), corresponde al algoritmo de Gardner (1986).

$$e(n) = y\left(n - \frac{1}{2}\right) [y(n) - y(n-1)] \quad (3)$$

En la ecuación 3 la señal del error $e(n)$ responde solamente a las señales de y para las muestras n y $n-1$, que corresponden a las señales de salida del interpolador.

Como el algoritmo de Gardner utiliza dos muestras y cada símbolo tiene cuatro de ellas, se deben elegir solamente dos para realizar la detección del error, lo cual se lleva a cabo dentro del bloque selector de muestras. Este se encarga de cambiar los datos de entrada del TED cada vez que se da una transición de μ entre 0 y 1 o viceversa. Esto introduce una muestra más o una muestra menos, como se explicará posteriormente.

Filtro de lazo

Este bloque cumple con dos funciones. Una, eliminar el ruido proveniente del detector de errores, y dos, estabilizar la ganancia de lazo, de modo que se produzca un cambio adecuado en la señal de μ .

En la primera parte de esta estructura se encuentra el filtro *smoothing*, que permite eliminar el ruido del TED y preservar en la señal solamente el patrón necesario. En la ecuación 4 se encuentra la operación de este filtro. En el diseño utilizado se utilizó un λ de 0,99, que permite una buena respuesta en frecuencia, minimizando el ruido (Prandoni y Vetterli, 2013). Este parámetro λ permite determinar qué tan angosto es el ancho de banda del filtro, en el que mientras mayor sea su valor, la respuesta en frecuencia de corte es menor. La señal $ef(n)$ corresponde al valor del error de filtrado.

$$ef(n) = \lambda e(n - 1) + (1 - \lambda)e(n) \quad (4)$$

Para la segunda parte, la cual permite integrar los errores hasta que se produzca una ganancia de lazo casi constante, se utilizó una estructura PI digital. En ella, usando como referencia un diseño muy similar, con las mismas frecuencias de operación para un sistema híbrido (Ramírez et al., 2013), se obtuvieron las constantes $k_p=5$ y un $k_i=0,001$.

Unidad de control

Esta unidad tiene como función adecuar la señal de salida del filtro de lazo, de modo que presente la entrada adecuada para el interpolador, cumpliendo con las especificaciones de la señal de μ (rangos y valores). Para el diseño de esta estructura se recurrió a documentación que plantea las ecuaciones necesarias para su correcto funcionamiento (Cárdenas y Arévalo, 2010), las cuales se muestran a continuación:

$$n(k) = [n(k - 1) - w(k - 1)] \bmod 1 \quad (5)$$

$$\mu(k) \approx k_0 n(k) \quad (6)$$

En las ecuaciones 5 y 6, $w(k)$ corresponde a la salida del filtro de lazo y la señal de $\mu(k)$ es la que permite el control en el interpolador. Para el dimensionamiento de k_0 se recurrió a simulaciones en las que se ajustó su valor hasta que el funcionamiento fuera adecuado ante cualquier error en la frecuencia de recepción dentro de un rango establecido.

Creador de banderas y selector de salidas

Como ya se explicó, en este tipo de implementación totalmente digital, cada vez que la señal μ , como consecuencia de la estructura de módulo 1 en la unidad de control, pasa de un valor de 0 a un valor de 1 o viceversa, se crea una muestra más o una muestra menos, dependiendo de la transición.

Para corregir estos errores, primeramente, como el sistema posee una estructura paralela, se decidió utilizar una serie de multiplexores en el bloque llamado selector de salidas, que permite escoger y alinear correctamente los datos de salida, los cuales cambiarán en cada transición de 0 a 1 o de 1 a 0 de la señal de μ , según corresponda.

Cada cuatro de estas transiciones, se presentarán cuatro datos sobrantes o cuatro faltantes, ya que se fue acumulando el error. Es por ello que en dicho momento se presentará una bandera que indique si los datos son sobrantes o faltantes (una para cada caso), y se deben manejar en la siguiente etapa del sistema. Estas banderas se presentan en el creador de banderas.

Verificación e Implementación

La simulación del sistema se llevó a cabo a partir de descripciones de Código en el *System Generator de Xilinx*, y mediante la herramienta *Simulink de Matlab*. En conjunto, ambas herramientas permiten realizar verificaciones de funcionamiento de procesamiento digital de señales para sistemas con bloques predeterminados de FPGA, utilizando un entorno gráfico (Matlab-Xilinx, 2014).

De dichas simulaciones, se presenta en la figura 4 el comportamiento de la señal de μ , incluyendo el transitorio inicial que el sistema requiere para estabilizarse, denominado tiempo de enganche, para distintos porcentajes de diferencia entre la frecuencia del reloj de transmisión y recepción. La señal indica cuándo el sistema está actuando para compensar la diferencia entre

el reloj de referencia y la señal de entrada. Más detalles de los resultados de simulación se pueden encontrar en Valenciano (2014).

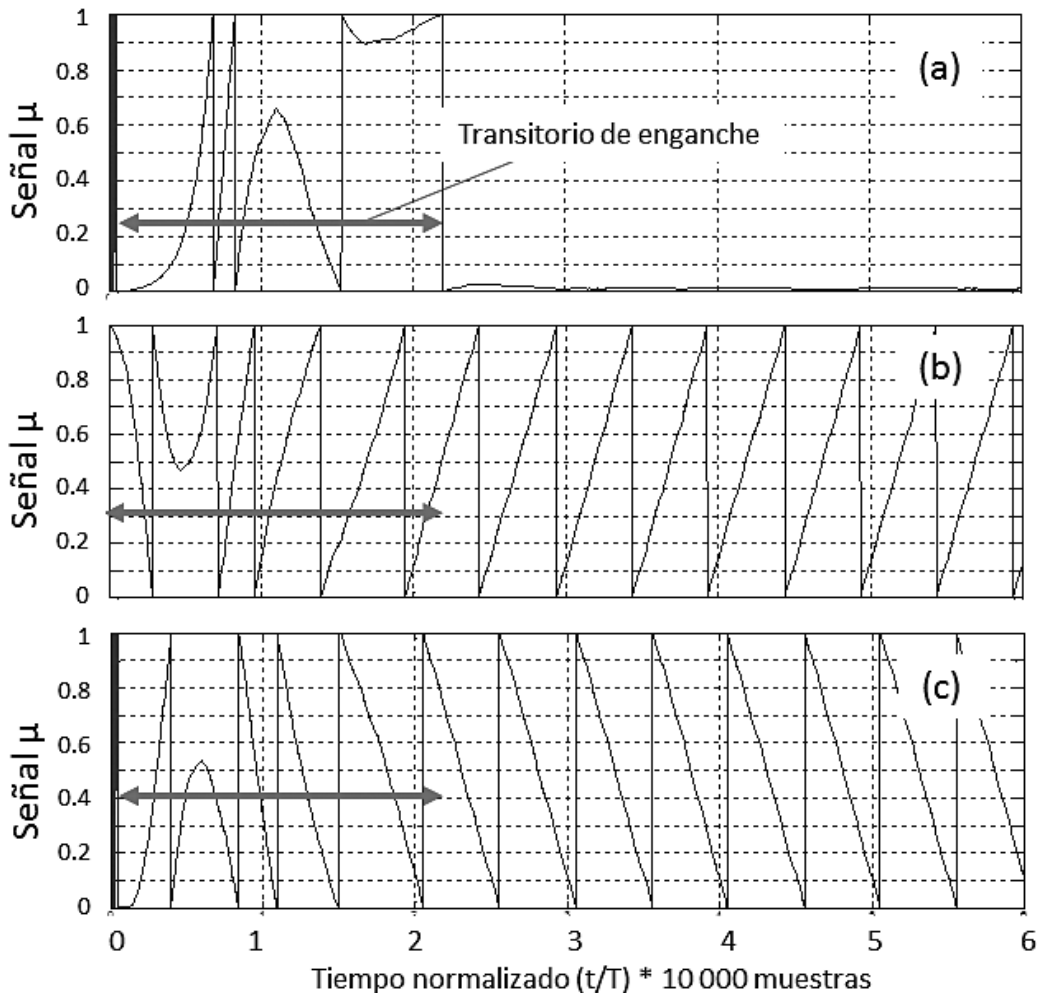


Figura 4. Transitorio de la señal de μ cuando el reloj del transmisor es: (a) igual, (b) 0,005% más lento y (c) 0,005% más rápido que el del receptor.

Posteriormente a las simulaciones, se utilizó la herramienta *System Generator de Xilinx* para generar un código VHDL que pudiera ser utilizado dentro de una FPGA. Con ello, se realizaron diferentes pruebas utilizando dos tarjetas FPGA, una transmisora y una receptora, donde la segunda poseía el código generado.

Para las pruebas, se obtuvo la señal de μ para distintas frecuencias en el reloj de transmisión, utilizando un reloj de recepción fijo. Estos relojes correspondieron a VCO con frecuencia nominal de 1,1 GHz, que fueron ajustados para realizar las distintas mediciones. Las diferentes frecuencias utilizadas se obtuvieron mediante un analizador de espectros. La figura 5 muestra el sistema físico utilizado para llevar a cabo las distintas pruebas.

La figura 6 muestra las gráficas de la señal de μ , que se obtuvo mediante un osciloscopio virtual ligado a la herramienta *Vivado de Xilinx*. La FPGA receptora utilizada corresponde a una *Virtex 7*.

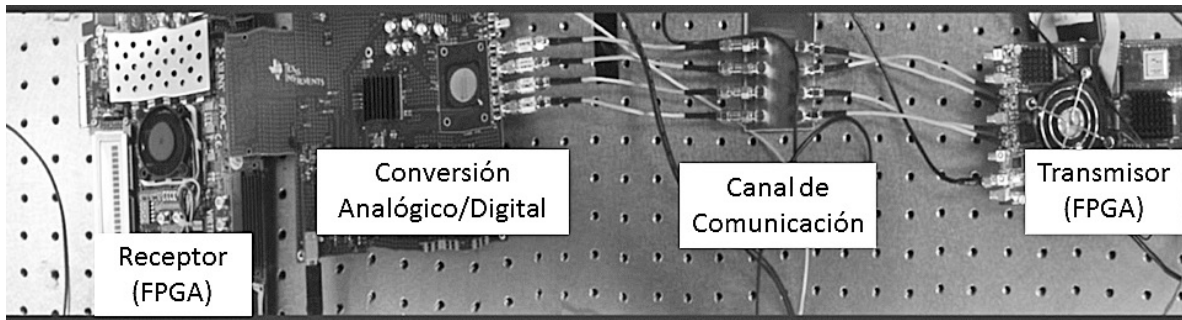


Figura 5. Sistema utilizado para las pruebas físicas de la implementación.

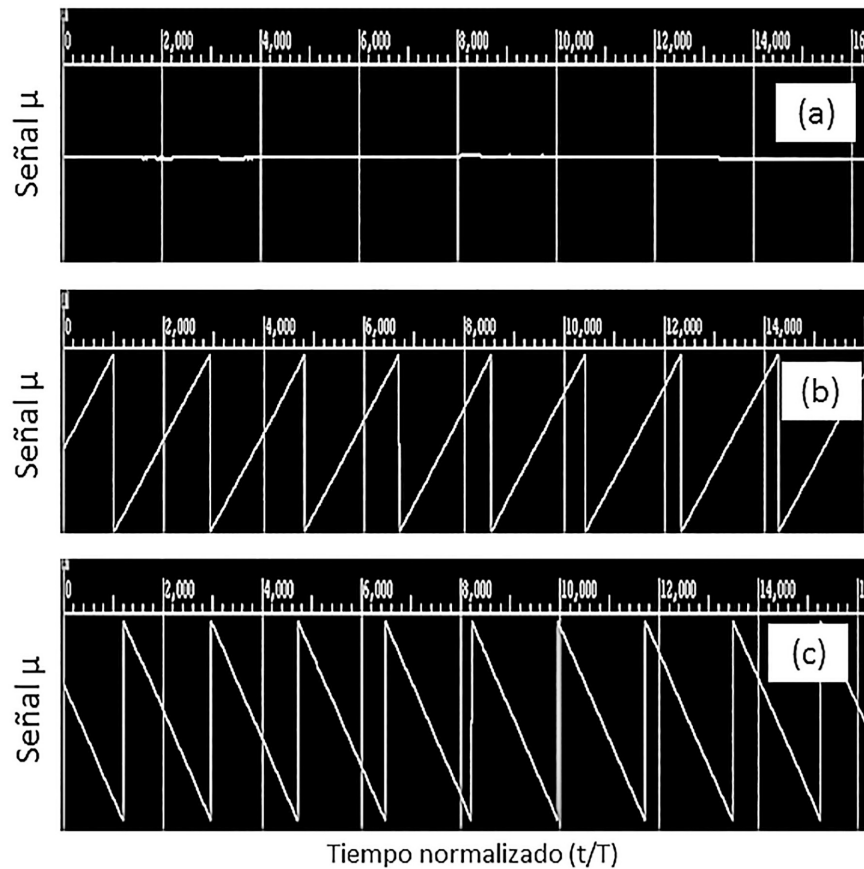


Figura 6. Resultados de implementación física para frecuencia de reloj transmisor de: (a) 1,099850 GHz (igual al receptor), (b) 1,099703 GHz y (c) 1,100005 GHz

Análisis de resultados

Se implementó una unidad de recuperación de la temporización completamente digital utilizando únicamente operaciones de suma, resta y multiplicación, que pueden ser implementadas de forma relativamente sencilla en cualquier sistema de procesamiento digital, con la velocidad adecuada de acuerdo con las especificaciones del sistema.

Ahora bien, analizando los resultados de las simulaciones, se observa primeramente que cuando el reloj de transmisión y el de recepción son iguales, la señal de μ se mantiene en un nivel casi constante luego del transitorio de enganche. Esto quiere decir que las muestras de entrada poseen una correcta temporización, y debe permanecer constante en el tiempo, tal y como se muestra en los resultados obtenidos por Erup, Gardner y Harris (1993).

Cuando existe un error en la frecuencia del reloj del receptor, se observa como esta presenta, luego del transitorio, una señal periódica en forma diente de sierra, que permite el ajuste correcto de la temporización. Se puede determinar que cuando el reloj del receptor es más rápido que el del transmisor, la señal de μ presenta una pendiente positiva, mientras que en caso contrario, la pendiente es negativa. También se puede apreciar que ante iguales porcentajes de diferencia en frecuencias, el periodo de μ es aproximadamente igual, es decir, el periodo de la señal depende de la diferencia de frecuencias que se está corrigiendo.

En cuanto a los resultados obtenidos para la implementación física, se observa que se mantuvo el mismo comportamiento en las señales de μ , en cuanto a pendiente y señales periódicas, dependiendo de la relación de las frecuencias de reloj utilizadas.

Cuando el sistema utilizó iguales relojes de transmisión y recepción, la señal de μ se mantuvo completamente constante. Por otra parte, cuando la frecuencia de transmisión fue mayor que la de recepción, se presentó el comportamiento periódico con pendiente negativa, y en caso contrario, pendiente positiva, tal y como se esperaba de las simulaciones.

Un resultado relacionado con el diseño, que es de suma importancia para los sistemas completamente digitales, corresponde a la presencia de datos faltantes y sobrantes, los cuales deben ser manejados posteriormente por otras etapas del sistema de comunicación. Estos datos aparecen debido al error acumulado de cuantificación y son intrínsecos a la implementación completamente digital. En este trabajo se propuso una solución mediante la utilización de banderas, que permiten indicar el tiempo exacto en el que se deben agregar o eliminar datos.

Conclusiones

Con este trabajo se logró el diseño e implementación de una unidad completamente digital para corregir el error presentado por la diferencia en frecuencias de los relojes de transmisión y recepción en un sistema de comunicación, el cual se basa en un retraso variable en el tiempo de las muestras obtenidas con un reloj trabajando en modo libre.

Con base en la señal de μ se corrige el problema de temporización, y de acuerdo con la diferencia de las frecuencias, esta va a ser una señal constante o una señal diente de sierra, la cual posee pendiente positiva cuando el receptor está procesando los datos más rápidamente que el transmisor y de pendiente negativa en el caso contrario.

Mediante la introducción de dos banderas se logró detectar el error introducido debido a datos sobrantes o faltantes, lo cual es un problema intrínseco de un sistema de recuperación de la temporización completamente digital, que se debe tomar en cuenta para las siguientes etapas del receptor, por ejemplo, el ecualizador.

Reconocimientos

Las simulaciones e implementaciones físicas incluidas en este trabajo se efectuaron en el *departamento Photonics del Istituto Superiore Mario Boella* en Turín, Italia, utilizando el equipo y herramientas de esta institución. Se le agradece a Paolo Savio, Silvio Abrate, Antonello Nespola y el centro en general por la oportunidad de realizar este trabajo y por la supervisión y el apoyo brindados.

Bibliografía

- Cárdenas, D. & Arévalo, G. (2010). All digital timing recovery and FPGA implementation. *Jornadas de Ingeniería Eléctrica y Electrónica (FIEE)*, Disponible en línea [Mayo 2015]:
<http://bibdigital.epn.edu.ec/handle/15000/3705>
- Erup, L., Gardner, F. & Harris, R. (junio, 1993). Interpolation in digital modems. Part II: Implementation and performance. *IEEE Transactions and communications*, 41(6), 998-1008.
- Gardner, F. (mayo, 1986). A BPSK/QPSK timing-error detector for sampled receivers. *IEEE Transactions on communications*, 34(5), 423-429.
- Gardner, F. (marzo, 1993). Interpolation in digital modems. Part I: fundamentals. *IEEE Transactions on comunicaciones*, 41(3), 501-507.
- Matlab-Xilinx. (2014). *Xilinx System Generator and HDL Coder*. Obtenido de <http://www.mathworks.ch/fpga-design/simulink-with-xilinx-system-generator-for-dsp.html>
- Meyr, H., Moeneclaey, M. & Fechtel, S. (1998). *Digital communication receivers*. Canadá: Wiley-Intersciensce.
- Prandoni, P. & Vetterli, M. (2013). *Digital signal processing. Linear filters*. Suiza: École Polytechnique Fédérale de Lausanne.
- Quang, D. X. (2010). *Digital resampling and timing recovery in QAM systems*. Tesis de maestría, University of Saskatchewan. Canadá.
- Ramírez, J., Nespola, A., Straullu, S., Savio, P., Abrate, S. & Gaudino, R. (septiembre, 2013). Hybrid clock recovery for a gigabit POF transceiver implemented on FPGA. *Journal of lightwave technology*, 31(18), 2988-2993.
- Valenciano, J. (2014). *Implementación de un sistema de recuperación de la temporización asíncrono ("timing recovery") para su incorporación en el proyecto europeo FABULOUS*. Cartago: Instituto Tecnológico de Costa Rica.